

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-111580

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

G11C 11/413

(21)Application number : 04-260171

(71)Applicant : NEC CORP

(22)Date of filing : 29.09.1992

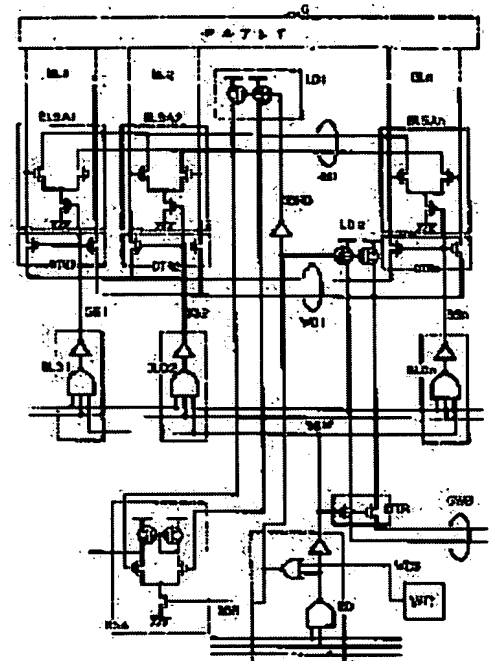
(72)Inventor : KONDO KENJI

## (54) SEMICONDUCTOR MEMORY DEVICE

## (57)Abstract:

**PURPOSE:** To reduce an occupancy area and a driving load and to make an operation at a high speed by controlling the load circuit of a differential amplifying circuit for responding to respective bit line pairs and having an output signal line pair and a load circuit as common units with a circuit arranged for controlling the switching of the operations for a write-in and a read-out.

**CONSTITUTION:** Bit lines (BL)1 to (n) arranged at every column of a memory array 6 are connected to transfer gate circuits (DTR) 1 to (n) via the differential amplifying circuits (BLSA) 1 to (n). The output signal line pair (RB) 1 and the load circuit (LD) 1 are common units for each BLSA, each DTR transmits a write-in data to BL. Then, the switching of the operation of write-in/read-out is performed by a control circuit WR and also decode circuits for BL selection (BLD) 1 to (n) are controlled by the same WR via a decode circuit BD and the differential amplifying circuit BSA. Selective signals SS 1 to (n) are generated in each BLD and BLSA and DTR are selected and then LD1 is controlled by each BLD. Thus, the occupancy area and the driving load are reduced, and the operation of the circuit is accelerated.



## LEGAL STATUS

[Date of request for examination]

20.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2910447

[Date of registration]

09.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

09.04.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-111580

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.

G11C 11/413

識別記号

庁内整理番号

FI

技術表示箇所

6741-5L

G11C 11/34

302 A

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号

特願平4-280171

(22)出願日

平成4年(1992)9月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 近藤 賢司

東京都港区芝五丁目7番1号 日本電気株式会社内

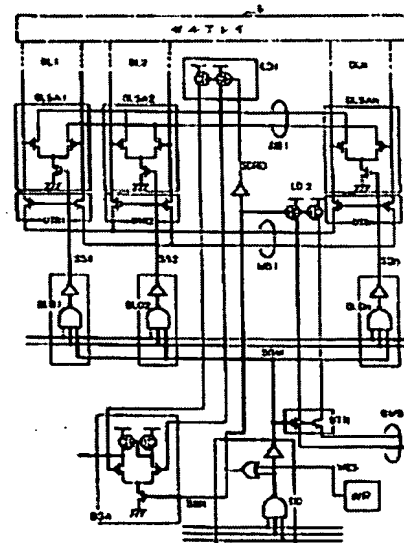
(74)代理人 弁理士 井出 直孝

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 ビット線対ごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路の選択用デコード回路の占有面積を縮小し、書き込み、読み出し動作の切り替えを制御する回路の出力信号線の駆動負荷を低減して回路動作を高速度に行えるようにする。

【構成】 ビット線対ごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路の負荷回路を書き込み、読み出し動作の切り替えを制御する回路により制御する。



【特許請求の範囲】

【請求項 1】 m行、n列のマトリクス状に配列された複数のメモリセルを含むセルアレイ(6)と、このメモリセルの各行ごとにそれぞれ対応して設けられその対応する列のメモリセルとそれぞれ接続するビット線対(BL1~BLn)と、このビット線対ごとにそれぞれ対応して設けられその出力信号線対(RB1)と負荷回路(LD1)とを共通にした差動増幅回路(BLSA1~BLSAn)と、前記ビット線対ごとにそれぞれ対応して設けられその対応するビット線対に書き込みデータを伝達するトランスファゲート回路(DTR1~DTRn)と、書き込みおよび読み出し動作の切り替えを制御する制御回路(WR)とを備えた半導体記憶装置において、前記負荷回路(LD1)を前記制御回路(WR)により制御する手段(BD、BSA)と、前記差動増幅回路(BLSA1~BLSAn)および前記トランスファゲート回路(DTR1~DTRn)を選択する共通の選択信号(SS1~SSn)を発生する手段(BLD1~BLDn)とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記負荷回路はPチャネル型絶縁ゲート電界効果トランジスタ、またはNチャネル型絶縁ゲート電界効果トランジスタである請求項 1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置の差動増幅回路に関する。本発明は、ビット線対選択用デコード回路の占有面積を小さくし、回路動作の高速化をはかることができる半導体記憶装置に関する。

【0002】

【従来の技術】 従来技術を図1および図4を参照して説明する。図1は一般的な半導体記憶装置の全体構成を示すブロック図である。従来の半導体記憶装置は、チップインネーブル制御回路1と、書き込みおよび読み出し動作の切り替えを制御する切替制御回路2と、データの出入力を行う入出力回路3と、カラムデコード4と、データの出入力を制御する入出力制御回路5と、セルアレイ6と、ロウデータ7とを備える。図4は従来の半導体記憶装置のビット線対に接続される入出力回路およびそれらを選択するためのデコード回路の構成を示す図である。同図中BL1、BL2、BLnはビット線対、BLSA1、BLSA2、BLSAnはビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路、LD1は差動増幅回路BLSA1、BLSA2、BLSAnに共通の負荷回路、RB1は差動増幅回路BLSA1、BLSA2、BLSAnに共通の出力信号線対、SR1、SR2、SRnはそれぞれ差動増幅回路BLSA1、BL

SA2、BLSAnの選択信号線、DTR1、DTR2、DTRnはビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられその対応するビット線対BL1、BL2、BLnに書き込みデータを伝達するトランスファゲート回路、WB1は書き込みデータ線対、LD2は書き込みデータ線対WB1が非選択のとき電源電圧にプリチャージする負荷回路、SW1、SW2、SWnはそれぞれトランスファゲート回路DTR1、DTR2、DTRnの選択信号線、BLD1、BLD2、BLDnはビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられたビット線対選択用デコード回路、GWBはグローバルな書き込みデータ線対、BTRは書き込みデータ線対WB1とGWBとを接続するトランスファゲート回路、BSAは差動増幅回路、SBWはビット線対選択用デコード回路BLD1、BLD2、BLDnおよびトランスファゲート回路BTRの選択信号線、SBRは差動増幅回路BSAの選択信号線、WESは半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線、BDは半導体記憶装置内の前述した全回路を含む複数の分割されたメモリセルブロックを選択するデコード回路である。

【0003】 次に、このように構成された従来例装置の動作について説明する。

【0004】 メモリセルブロックを選択するデコード回路BDは、半導体記憶装置に入力されたアドレス信号のデコード信号を受けビット線対選択用デコード回路BLD1、BLD2、BLDn、およびトランスファゲート回路BTRの選択信号線SBWに選択信号を発生するとともに、アドレス信号のデコード信号と半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線WESからの信号の論理を取って選択信号線SBR上に選択信号を発生させる。また、ビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられたビット線対選択用デコード回路BLD1、BLD2、BLDnは、半導体記憶装置に入力されたアドレス信号のデコード信号および選択信号SBWを受け、ビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられ書き込みデータを伝達するトランスファゲート回路DTR1、DTR2、DTRnへの選択信号線SW1、SW2、SWnに選択信号を発生するとともに、アドレス信号のデコード信号、選択信号線SBWからの選択信号、半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線WESからの出力信号の論理を取って、ビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられその出力信号線対と負荷回路を共通にした差動増幅回路BLSA1、BLSA2、BLSAnへの選択信号線SR1、SR2、SRnに選択信号を発生させる。

【0005】 ここで、図4に示す回路を含む半導体記憶装置が書き込み動作状態でデコード回路BDによってメ

メモリセルブロックおよびそれに含まれるビット線対BL1、BL2、BLnの一つであるビット線対BL1が選択されると選択信号線SBWおよびSW1が“High”電位となりトランスファゲート回路BTRおよびDTR1が“ON”状態となり、書き込みデータ線対GWB、書き込みデータ線対WB1、およびビット線対BL1が電氣的に接続され、半導体記憶装置に入力された書き込みデータが書き込みデータ線対GWBを通じて書き込みデータ線対WB1に伝達され、それがビット線対BL1に伝達される。また、半導体記憶装置は書き込み状態であるから出力信号線WESは“High”電位となり選択信号線SBRおよびSR1が“Low”電位となり差動増幅回路BLSA1、BLSAが非選択となり消費電力が低減される。

【0006】

【発明が解決しようとする課題】 前述した従来の半導体記憶装置のビット線対に接続される入出力回路およびそれらを選択するためのデコード回路では、ビット線対ごとにそれぞれ対応して設けられその出力信号線と負荷回路を共通にした差動増幅回路と、ビット線対ごとにそれぞれ対応して設けられ対応するビット線対に書き込みデータを伝達するトランスファゲート回路とを選択する信号線を図4に示すようにSR1、SR2、SRnとSW1、SW2、SWnに分離し、書き込み動作時に差動増幅回路を非選択にすることによって消費電力の低減をはかっているために、ビット線対ごとにそれぞれ対応して設けられたビット線対選択用デコード回路BLD1、BLD2、BLDnは、その内部に選択信号線SW1、SW2、SWnに選択信号を発生させるデコード回路と、選択信号線SR1、SR2、SRnに選択信号を発生させるデコード回路の二つの回路を有さなければならない。そのためビット線対ごとにそれぞれ対応して設けられたビット線対選択用デコード回路の半導体記憶装置内の占有面積が増大し、書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線の駆動負荷が増大する問題があった。本発明はこのような問題を解決するため、ビット線対選択用デコード回路の占有面積を小さくし、出力信号線の駆動負荷を低減して回路動作の高速化をはかることができる装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、m行、n列のマトリクス状に配列された複数のメモリセルを含むセルアレイと、このメモリセルの各列ごとにそれぞれ対応して設けられその対応する列のメモリセルとそれぞれ接続するビット線対と、このビット線対ごとにそれぞれ対応して設けられその出力信号線対と負荷回路とを共通にした差動増幅回路と、前記ビット線対ごとにそれぞれ対応して設けられその対応するビット線対に書き込みデータを伝達するトランスファゲート回路と、書き込みおよび

読み出し動作の切り替えを制御する制御回路とを備えた半導体記憶装置において、前記負荷回路を前記制御回路により制御する手段と、前記差動増幅回路および前記トランスファゲート回路を選択する共通の選択信号を発生する手段とを備えたことを特徴とする。

【0008】

【作用】 ビット線対ごとにそれぞれ対応して設けられその出力信号線対と負荷回路とを共通にした差動増幅回路の共通の負荷回路を書き込み、読み出し動作の切り替えを制御する回路の出力信号線と、半導体記憶装置に入力されたアドレス信号のデコード信号の論理をとった信号で制御する。

【0009】 これにより、ビット線対ごとにそれぞれ対応して設けられたビット線対選択用デコード回路の占有面積を小さくすることができ、書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線の駆動負荷を低減して回路動作の高速化をはかることができる。

【0010】

【実施例】 次に、本発明実施例を図面に基づいて説明する。図1は本発明は実施例および従来例に係わる半導体記憶装置の全体構成を示すブロック図である。

【0011】 本発明実施例は、チップ内ネーブル制御回路1と、書き込みおよび読み出し動作の切り替えを制御する切替制御回路2と、データの出入力を行う入出力回路3と、コラムデコード4と、データの出入力を制御する入出力制御回路5と、セルアレイ6と、ロウデコード7と備えて全体が構成される。

【0012】 (第一実施例) 図2は本発明第一実施例における入出力回路およびデコード回路の構成を示す図である。

【0013】 本発明第一実施例は、m行、n列のマトリクス状に配列された複数のメモリセルを含むセルアレイ6と、このメモリセルの各列ごとにそれぞれ対応して設けられその対応する列のメモリセルとそれぞれ接続するビット線対BL1～BLnと、このビット線対BL1～BLnごとにそれぞれ対応して設けられその出力信号線対RB1と負荷回路LD1とを共通にした差動増幅回路BLSA1～BLSAnと、ビット線対BL1～BLnごとにそれぞれ対応して設けられその対応するビット線対BL1～BLnに書き込みデータを伝達するトランスファゲート回路DTR1～DTRnと、書き込みおよび読み出し動作の切り替えを制御する制御回路WRとを備え、さらに、本発明の特徴として、負荷回路LD1を制御回路WRにより制御する手段を構成するデコード回路BD、差動増幅回路BSAと、差動増幅回路BLSA1～BLSAnおよびトランスファゲート回路DTR1～DTRnを選択する共通の選択信号SS1～SSnを発生するビット線対選択用デコード回路BLD1～BLDnとを備える。

【0014】 図中、BL1、BL2、BLnはビット線

対、BLSA1、BLSA2、BLSAnはビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられその出力信号線対と負荷回路を共通にした差動増幅回路であり、LD1はこの差動増幅回路BLSA1、BLSA2、BLSAnに共通の負荷回路でPチャネル型絶縁ゲート電界効果トランジスタで構成される。また、RB1は差動増幅回路BLSA1、BLSA2、BLSAnに共通の出力信号線対、DTR1、DTR2、DTRnはビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられ、対応するビット線対BL1、BL2、BLnに書き込みデータを伝達するためのトランスファゲート回路、WB1は書き込みデコード線対、LD2はこの書き込みデータ線対WB1が非選択のとき電源電圧にプリチャージするための負荷回路、SS1、SS2、SSnはそれぞれ前記差動増幅回路BLSA1、BLSA2、BLSAnおよびトランスファゲート回路DTR1、DTR2、DTRnの選択信号線、BLD1、BLD2、BLDnはビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられたビット線対選択用デコード回路、GWBはグローバルな書き込みデータ線対、BTRは書き込みデータ線対WB1およびGWBを接続するためのトランスファゲート回路、BSAは差動増幅回路、SBWはビット線対選択用デコード回路BLD1、BLD2、BLDnおよびトランスファゲート回路BTRの選択信号線、SBRは差動増幅回路BSAの選択信号線、WESは制御回路WRからの半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の書き出し切替信号線、BDは半導体記憶装置内の前述した全回路を含む複数の分割されたメモリセルブロックを選択するためのデコード回路、WRは制御回路である。

【0015】次に、このように構成された本発明第一実施例の動作について説明する。

【0016】メモリセルブロックを選択するためのデコード回路BDは、半導体記憶装置に入力されたアドレス信号のデコード信号を受けビット線対選択用デコード回路BLD1、BLD2、BLDnおよびトランスファゲート回路BTRの選択信号線SBWへの選択信号を発生するとともに、アドレス信号のデコード信号と半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線WESからの出力信号の論理をとって選択信号線SBRへの選択信号を発生させる。

【0017】ビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられたビット線対選択用デコード回路BLD1、BLD2、BLDnは、半導体記憶装置に入力されたアドレス信号のデコード信号および選択信号線SBWからの選択信号を受け、ビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられ、対応するビット線対BL1、BL2、BLnに書き込みデータを伝達するトランスファゲート回路DTR1、DTR

2、DTRn、およびビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路BLSA1、BLSA2、BLSAnの選択信号線SS1、SS2、SSnに選択信号を発生する。

【0018】ここで、図2に示す回路を含む半導体記憶装置が書き込み動作状態でデコード回路BDによってメモリセルブロックおよびそれに含まれるビット線対BL1、BL2、BLnのうちのBL1が選択されると、選択信号線SBWおよびSS1が“High”電位となりトランスファゲート回路BTRおよびDTR1が“ON”状態となり、書き込みデータ線対GWBおよびWB1とビット線対BL1とが電氣的に接続され半導体記憶装置に入力された書き込みデータが書き込みデータ線対GWBを通じて書き込みデータ線対WB1に伝達され、それがビット線対BL1に伝達される。

【0019】また、半導体記憶装置は書き込み状態であるから書き出し切替信号線WESは“High”電位となり、選択信号線SBRが“Low”電位となって差動増幅回路BSAが非選択となり消費電力が低減される。かつ、ビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路の共通の負荷回路LD1を制御する信号線SBRBが“High”電位となり負荷回路LD1を“OFF”状態にし、ビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられその出力信号線対と負荷回路を共通にした差動増幅回路BLSA1、BLSA2、BLSAnが非選択となって消費電力が低減される。

【0020】（第二実施例）図3は本発明第二実施例の半導体記憶装置のビット線対に接続される入出力回路およびそれらを選択するためのデコード回路の回路図である。図中BL1、BL2、BLnはビット線対、BLSA1、BLSA2、BLSAnはビット線対ごとにそれぞれ対応して設けられその出力信号線対と負荷回路を共通にした差動増幅回路、LD1は差動増幅回路BLSA1、BLSA2、BLSAnに共通の負荷回路でNチャネル型絶縁ゲート電界効果トランジスタで構成される。第二実施例と第一実施例との相違点は負荷回路LD1を構成する絶縁ゲート電界効果トランジスタがPチャネル型絶縁ゲート電界効果トランジスタからNチャネル型絶縁ゲート電界効果トランジスタに変わり、その制御信号がSBRBからその逆位相のSBRに変わったところにある。各回路および信号線動作および効果は第一実施例と同様である。

【0021】

【発明の効果】以上説明したように本発明によれば、ビット線対ごとにそれぞれ対応して設けられたビット線対選択用デコード回路の占有面積を小さくするとともに、書き込み、読み出し動作の切り替えを制御する回路の出

### 【図面の簡単な説明】

【図2】本発明第一実施例における入出力回路およびデコード回路の構成を示す図。

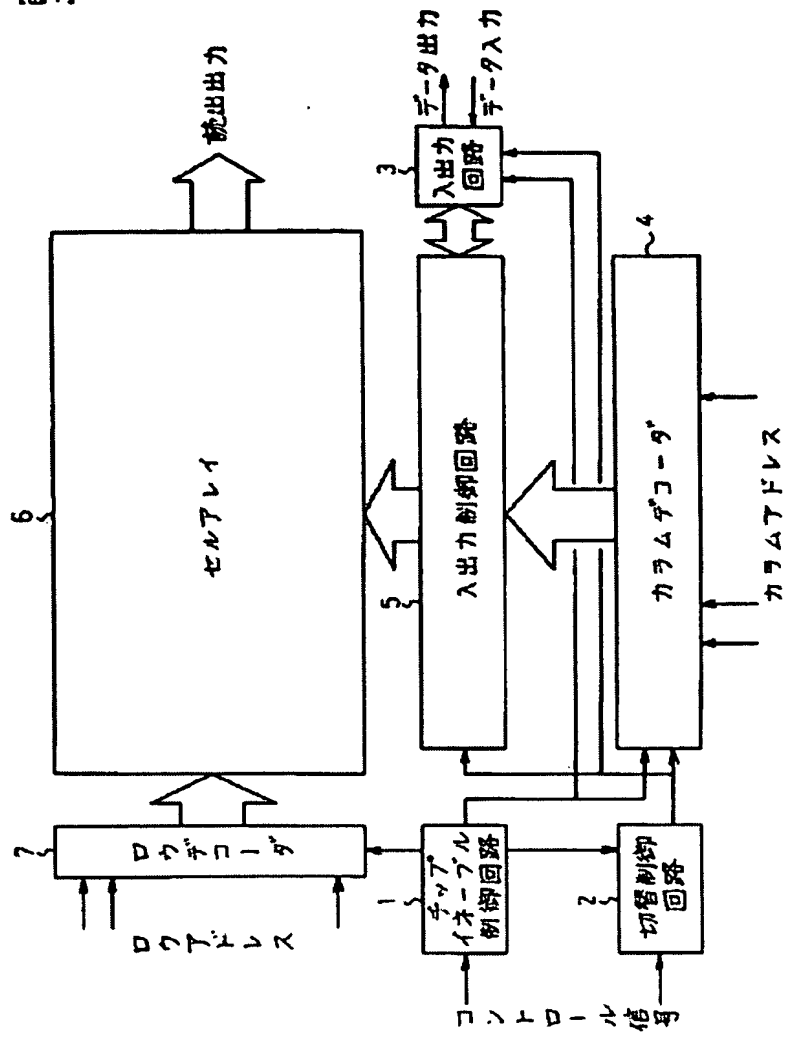
【図4】従来の例における入出力回路およびデコード回路の構成を示す図。

【符号の説明】

- 1 チップイネーブル制御回路
- 2 切替制御回路
- 3 入出力回路
- 4 カラム デコーダ
- 5 入出力制御回路
- 6 セルアレイ

WR 制御回路

【図1】



【図4】

